

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01214048 A**

(43) Date of publication of application: **28 . 08 . 89**

(51) Int. Cl **H01L 21/88**
H01L 23/34

(21) Application number: **63038487**

(22) Date of filing: **23 . 02 . 88**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **TANDO YASUHIKO**
SUGIYAMA EIJI

(54) **SEMICONDUCTOR INTEGRATED DEVICE**

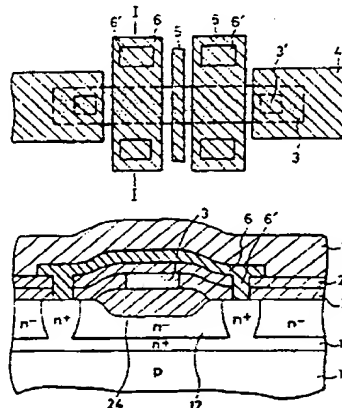
1 by using a contact hole 6'.

(57) Abstract:

COPYRIGHT: (C)1989,JPO&Japio

PURPOSE: To reduce a parasitic capacitance, to relax a temperature rise due to heat generated by a polysilicon resistance and to prevent its resistance from being shifted or the migration of a wiring part on the polysilicon resistance from being promoted by a method wherein the polysilicon resistance surrounded by an insulating film is formed and a heat-dissipating plate connected to a semiconductor substrate is formed in the insulating film.

CONSTITUTION: A polysilicon resistance 3 surrounded by insulating films 21W24 is provided; a heat-dissipating plate 6 which is connected to a semiconductor substrate 1 and is used to dissipate the heat generated by the polysilicon resistance 3 is formed in the insulating films 21W24. For example, when an aluminum wiring part 5 exists on the polysilicon resistance 3 formed on the field oxide film 24 via the silicon oxide film 22, dummy patterns 6, 6 of aluminum are formed near the wiring part 5 so as to cover the polysilicon resistance 3 via the silicon oxide film 22; they are brought into contact with the silicon substrate



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-214048

⑤ Int. Cl.⁴H 01 L 21/88
23/34

識別記号

庁内整理番号

S-6824-5F
A-6412-5F

⑬ 公開 平成1年(1989)8月28日

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体集積装置

⑯ 特 願 昭63-38487

⑰ 出 願 昭63(1988)2月23日

⑱ 発 明 者 丹 藤 安 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 杉 山 英 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

半導体集積装置

2. 特許請求の範囲

1. 絶縁膜で囲まれたポリシリコン抵抗をそなえ、更に該絶縁膜中に、半導体基板と接続され該ポリシリコン抵抗の発熱を放熱する放熱板が設けられることを特徴とする半導体集積装置。

2. 該放熱板として該ポリシリコン抵抗に接続された電源配線が用いられる、請求項1記載の半導体集積装置。

3. 発明の詳細な説明

(要 要)

半導体基板上的の絶縁膜(例えばシリコン酸化膜)内にポリシリコン抵抗をそなえた半導体集積装置に関し、

該ポリシリコン抵抗の発熱による温度上昇を緩和することを目的とし、

絶縁膜で囲まれたポリシリコン抵抗をそなえ、更に該絶縁膜中に、半導体基板と接続され該ポリ

シリコン抵抗の発熱を放熱する放熱板が設けられるように構成される。

(産業上の利用分野)

本発明は半導体基板上的の絶縁膜(例えばシリコン酸化膜)内にポリシリコン抵抗をそなえた半導体集積装置に関する。

(従来の技術)

一般にLSIなどの回路素子としての抵抗を通常の拡散抵抗として半導体基板内に形成した場合、該抵抗と該基板との間の寄生容量が大となって該LSIの高速化に支障をきたすようになる。

近年、特にバイポーラLSIの高速化のためにポリシリコン技術が使われているが、これに伴い抵抗も該寄生容量を低減する目的で上記通常の拡散抵抗から、半導体基板上的の絶縁膜内に形成されるポリシリコン抵抗が使用される。

第5図はかかるポリシリコン抵抗3をそなえた従来技術としての半導体集積装置を例示するもの

で、1はシリコン基板、21、22、および23は該シリコン基板上に該ポリシリコン抵抗を囲むように形成されたシリコン酸化膜、4は該ポリシリコン抵抗3に接続されたアルミニウム配線、5は該ポリシリコン抵抗3上を該酸化膜22を介して通過する信号線等のアルミ配線を示す。

(発明が解決しようとする課題)

しかしながら、上記ポリシリコン抵抗3はその上下左右を熱伝導率の小さい絶縁膜、例えばシリコン酸化膜で囲まれているため熱抵抗が大きくなりすぎて発熱による温度上昇が著しく、このことによって実際の抵抗値が設計値から大きくずれてしまう。またポリシリコン抵抗3上にアルミ配線5(例えば上記信号線)がある場合、上記高熱のポリシリコン抵抗で該配線5のマイグレーションが促進され、断線し易くなる。

本発明はこれらの課題を解決するためになされたもので、上記寄生容量を低減するとともに該ポリシリコン抵抗の発熱による温度上昇を緩和し、

その抵抗値のずれや該ポリシリコン抵抗上の配線のマイグレーションの促進を防止したものである。

(課題を解決するための手段)

かかる課題を解決するために本発明によれば、絶縁膜で囲まれたポリシリコン抵抗をそなえ、更に該絶縁膜中に、半導体基板と接続され該ポリシリコン抵抗の発生熱を放熱する放熱板が設けられた、半導体集積装置が提供される。

(作用)

上記構成によれば、該ポリシリコン抵抗で発生した熱を該放熱板に吸収させ、更に該吸収された熱を該半導体基板に逃がすことによって、該ポリシリコン抵抗の温度上昇を容易に緩和することができる。

(実施例)

第1図は本発明の1実施例としての半導体集積装置の要部構成を示し、第2図は第1図の1-1

線で切断した該半導体集積装置の断面図を示している。なお図中、第5図と共通の部分には互に共通する符号が付されている。

該第1乃至第2図に示される装置の構成の特徴は、フィールド酸化膜24上に形成されたポリシリコン抵抗3上にシリコン酸化膜22を介してアルミニウム配線(例えば信号線)5がある場合、該配線5の近くに(この場合該配線5の両側に)、該シリコン酸化膜22を介して該ポリシリコン抵抗3を覆うようにアルミニウムのダミー・パターン6、6を形成し、これをコンタクト部6'によりシリコン基板1とコンタクトさせる。なお第2図中、1はP型シリコン基板、11はn⁺型埋込層、12はn⁺型エピタキシャル層で、該コンタクト部6'は該n⁺型埋込層11とコンタクトされる。

これによって該ポリシリコン抵抗3での発熱を該アルミニウムのダミー・パターンを介して該シリコン基板1に逃がし、該ポリシリコン抵抗の熱抵抗を下げるができる。

第3図は、第2図における該ポリシリコン抵抗と該シリコン基板とのコンタクト部の変形例を示すもので、第3図(a)は、P型シリコン基板上に形成されたn⁺型エピタキシャル層12に該コンタクト部6'をコンタクトさせた場合を示し、また第3図(b)は、P型シリコン基板1に直接該コンタクト部6'をコンタクトさせた場合を示す。

なお第1図乃至第2図に示される実施例において、ポリシリコン抵抗3上に上記他の配線5がない場合にはその部分にも放熱用のダミー・パターンを形成することができ、したがって第1図に示される2個のダミー・パターン6、6を一体に形成することができる。

第4図は、本発明の他の実施例としての半導体集積装置の基本構成を示すもので、該ポリシリコン抵抗3に接続部3'で接続されたアルミニウム配線41、42のうち、一方の配線例えば41が電源配線となっている場合には、該電源配線41をコンタクト部41'において該シリコン基板とコン

タクトさせればよいことを示している。この場合、該電源配線がアース側の場合には、第2図または第3図(a)に示されるように、正電位側のn型領域にコンタクトさせ、一方、該電源配線がV_{cc}側の場合には、第3図(b)に示されるように、負電位側のP型基板にコンタクトさせればよい。なおこの場合、第4図において該電源配線41を、該ポリシリコン抵抗3との接続部3'の右側に向ってなるべく他の配線5に近づくように延長させて該ポリシリコン抵抗3をできるだけ覆うようにすることによって該放熱効果を一層向上させることができる。なお、シリコン基板とコンタクトされていない他の配線42も、該ポリシリコン抵抗3との接続部3'の左側に向ってなるべく該配線5に近づくように延長させて該ポリシリコン抵抗3をできるだけ覆うようにするのが放熱効果上好ましい。

(発明の効果)

本発明によれば、ポリシリコン抵抗に発生した

熱を該放熱板(該ポリシリコン抵抗上を覆うように形成したアルミニウムのダミーパターンあるいは該ポリシリコン抵抗と接続された電源配線など)に吸収させ、該吸収された熱を半導体基板に逃がすことによって該ポリシリコン抵抗の温度上昇を緩和することができる。したがって該ポリシリコン抵抗の抵抗値の設計値からのずれ、あるいは該ポリシリコン抵抗上に形成された信号線などのアルミニウム配線のマイグレーションの促進を防止することができる。しかも該ポリシリコン抵抗の利点である抵抗の寄生容量の減少効果を妨げることはない。

4. 図面の簡単な説明

第1図は、本発明の1実施例としての要部構成を示す図、

第2図は、第1図の1-1線に沿う本発明の1実施例としての半導体集積装置の断面図、

第3図(a)、(b)は、第2図の構成の1部を変形した例を示す図、

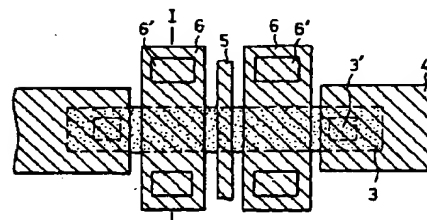
第4図は、本発明の他の実施例としての要部構

成を示す図、

第5図は、従来技術としての半導体集積装置の1例を示す図である。

(符号の説明)

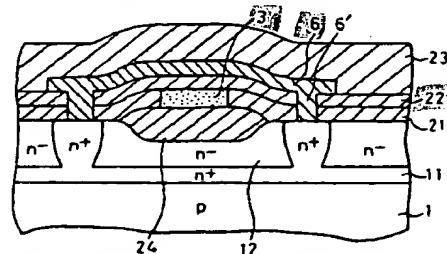
- 1…半導体基板、
- 2, 24…絶縁膜(シリコン酸化膜など)、
- 3…ポリシリコン抵抗、
- 4…抵抗3に接続された配線、
- 5…抵抗3上の配線(信号配線など)、
- 6…放熱用のダミーパターン、
- 6'…ダミーパターン6の半導体基板とのコンタクト部、
- 41…抵抗3に接続された電源配線、
- 41'…電源配線41の半導体基板とのコンタクト部。



本発明の1実施例としての要部構成を示す図

第1図

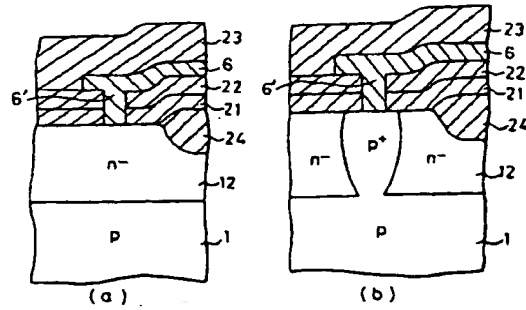
- 3…ポリシリコン抵抗
- 4…抵抗3の配線
- 5…抵抗3上の配線
- 6…放熱用のダミーパターン
- 6'…基板とのコンタクト部



第1図の1-1線に沿う本発明の1実施例としての半導体装置の断面図

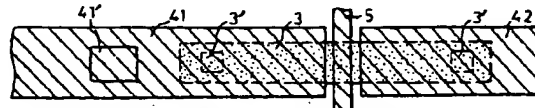
第2図

- 1…半導体基板
- 21-24…絶縁膜



第2図の構成の1部を成形した例を示す図

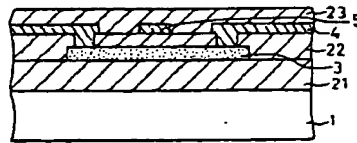
第3図



本発明の他の実施例としての要部構成を示す図

第4図

41... 抵抗3と接続された電源配線 42... 基板とのコンタクト部



従来技術としての半導体装置の1例を示す図

第5図